

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-257081

(43)Date of publication of application : 25.09.1998

(51)Int.Cl.

H04L 12/40  
G06F 3/00

(21)Application number : 09-061187

(71)Applicant : FUJITSU LTD  
FUJITSU VLSI LTD

(22)Date of filing : 14.03.1997

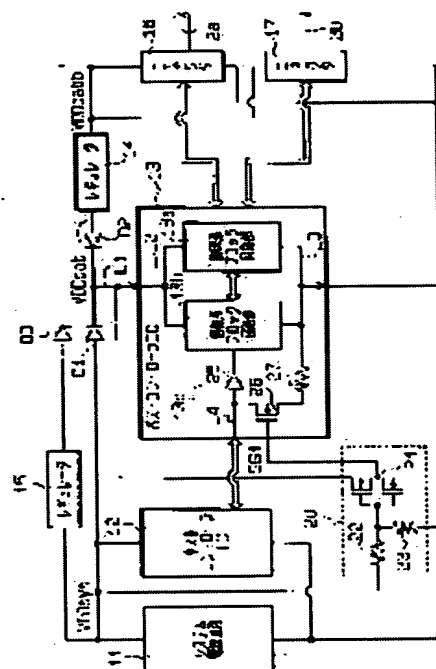
(72)Inventor : TOMITA MASAHIRO

## (54) POWER SUPPLY METHOD TO BUS CONTROLLER, BUS CONTROLLER AND POWER SUPPLY SYSTEM OF BUS CONTROLLER

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a power supply method capable of miniaturizing a device and in which a bus controller of one chip which is easily designed is used.

SOLUTION: A host controller 12 and a bus controller 13 are formed by semiconductor integrated circuit devices of one chip respectively. The bus controller 13 is provided with a physical system block circuit part 13a and a control system block circuit part 13b. A system power source VDDsys is inputted as an operating power source with a first diode D1 and a cable supply power source VDDcab is simultaneously inputted as the operating power source with a second diode D2 by the physical and the control system block circuits 13a, 13b. In addition, a variable signal is prevented from being inputted in the control system block circuit part 13b even if the variable signal is generated from the host controller 12 to a gate circuit 13c for certain reasons when the system power source VDDsys is not outputted by a judging circuit 20.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-257081

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 4 L 12/40

H 0 4 L 11/00

3 2 0

G 0 6 F 3/00

G 0 6 F 3/00

Q

審査請求 未請求 請求項の数12 O L (全 16 頁)

(21) 出願番号 特願平9-61187

(22) 出願日 平成9年(1997) 3月14日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(71) 出願人 000237617

富士通ヴィエルエスアイ株式会社

愛知県春日井市高蔵寺町2丁目1844番2

(72) 発明者 富田 雅人

愛知県春日井市高蔵寺町二丁目1844番2

富士通ヴィエルエスアイ株式会社内

(74) 代理人 弁理士 恩田 博宣

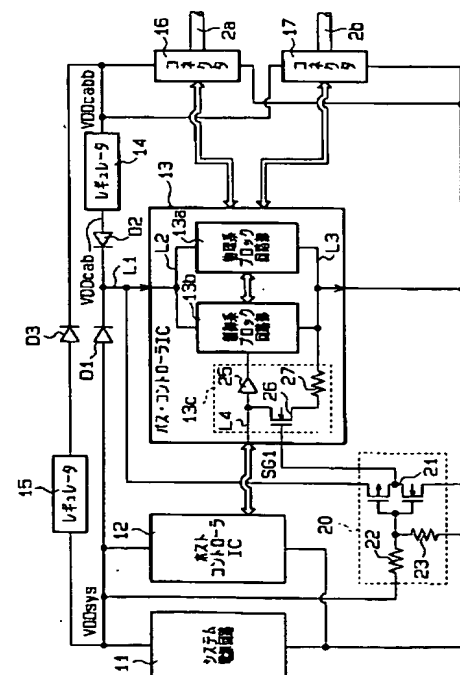
(54) 【発明の名称】 バス・コントローラへの電源供給方法、バス・コントローラ、及び、バス・コントローラの電源供給システム

(57) 【要約】

【課題】装置の小型化ができ、設計が容易な1チップのバス・コントローラの使用が可能な電源供給方法を提供すること。

【解決手段】 ホスト・コントローラ12及びバス・コントローラ13は、それぞれ1チップの半導体集積回路装置にて形成されている。バス・コントローラ13は物理系ブロック回路部13aと制御系ブロック回路部13bを備えている。物理系及び制御系ブロック回路部13a、13bは、動作電源としてシステム電源VDDsysを第1ダイオードD1を介して入力するとともに、動作電源としてケーブル供給電源VDDcabを第2ダイオードD2を介して入力する。又、判定回路20はシステム電源VDDsysが出力されていない時、ゲート回路13cをに対してホスト・コントローラ12から何らの原因で不定信号が発生しても該不定信号が制御系ブロック回路部13bに入力しないようにしている。

パソコン内のケーブル電源供給システム回路図



## 【特許請求の範囲】

【請求項 1】 制御系回路部と物理系回路部とを備え、転送データに制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、ケーブルのデータ線を介して他の周辺装置からの転送された転送データを前記物理系回路部にて前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にするとともに、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて前記物理系回路部を動作可能にするようにしたバス・コントローラへの電源供給方法において、前記システム電源とケーブル供給電源をそれぞれ同じ電圧レベルにして 1 つの共通外部配線に供給し、その 1 つの共通外部配線を介して印加される電源を前記動作電源としてバス・コントローラに供給するようにしたバス・コントローラへの電源供給方法。

【請求項 2】 制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にするとともに、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて物理系回路部を動作可能にするようにしたバス・コントローラへの電源供給方法において、

前記システム電源とケーブル供給電源をそれぞれダイオード介して 1 つの共通外部配線に供給し、その 1 つの共通外部配線を介して印加される電源を前記動作電源としてバス・コントローラに供給するようにしたバス・コントローラへの電源供給方法。

【請求項 3】 請求項 1 又は 2 に記載のバス・コントローラへの電源供給方法において、前記ケーブル供給電源のみが出力されている時、前記制御系回路部に対して誤動作防止処理を行うようにしたバス・コントローラへの電源供給方法。

【請求項 4】 請求項 1 乃至 3 のいずれか 1 に記載のバス・コントローラへの電源供給方法において、バス・コントローラは、前記制御系回路部と物理系回路部を同一半導体チップ内に形成してなる 1 チップの半導体集積回路装置であるバス・コントローラへの電源供給方法。

【請求項 5】 制御系回路部と物理系回路部とを備え、

転送データに制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、ケーブルのデータ線を介して他の周辺装置からの転送された転送データを前記物理系回路部にて前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるようにしたバス・コントローラにおいて、

10 自装置のシステム電源と前記ケーブルからのケーブル供給電源が供給される 1 つの共通外部配線から供給される電源を前記制御系回路部及び物理系回路部の動作電源として入力するバス・コントローラ。

【請求項 6】 制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラにおいて、

20 自装置のシステム電源と前記各ケーブルからのケーブル供給電源が供給される 1 つの共通外部配線から供給される電源を前記制御系回路部及び物理系回路部の動作電源として入力するバス・コントローラ。

【請求項 7】 請求項 5 又は 6 に記載のバス・コントローラにおいて、前記ケーブル供給電源のみが出力されている時、前記制御系回路部に対して誤動作防止処理を行う誤動作防止回路を備えたバス・コントローラ。

30 【請求項 8】 請求項 7 に記載のバス・コントローラにおいて、誤動作防止回路は、制御系回路部に入力される制御データを無効にするゲート回路であるバス・コントローラ。

【請求項 9】 請求項 5 乃至 8 のいずれか 1 に記載のバス・コントローラにおいて、バス・コントローラは、前記制御系回路部と物理系回路部を同一半導体チップ内に形成してなる 1 チップの半導体集積回路装置であるバス・コントローラ。

40 【請求項 10】 制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラにおいて、

自装置のシステム電源と前記各ケーブルからのケーブル供給電源が供給される 1 つの共通外部配線から供給される電源を前記物理系回路部の動作電源として入力するバス・コントローラ。

【請求項 11】 請求項 10 に記載のバス・コントローラにおいて、前記制御系回路部と前記物理系回路部はそれぞれ別々の 1 チップの半導体集積回路装置で構成され、前記物理系回路部は、ケーブル供給電源のみ出力されている時、制御系回路部からの不定信号を無効化にするゲートを備えたバス・コントローラ。

【請求項 12】 制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し、該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御ブロック回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にし、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて物理系回路部を動作可能にするようにしたバス・コントローラの電源供給システムにおいて、前記制御系回路部と物理系回路部の動作電源を供給する 1 つの共通外部配線にシステム電源とケーブル供給電源をそれぞれ供給するダイオードと、前記システム電源かケーブル供給電源のいずれが出力されているか判定する判定回路と、ケーブル供給電源のみ出力されている時、前記制御系回路部に対して入力されていく不定信号を無効化する誤動作防止回路とを備えたバス・コントローラの電源供給システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、バス・システムに係り、詳しくはケーブル電源供給システムに関するものである。

【0002】近年、マルチメディアに対応して例えばパソコンに対してオーディオ・ビデオ機器、デジタルカメラ等の多数の周辺装置が接続できることが求められている。そして、パソコンと各周辺装置との間、又は、各周辺装置間とでデータ転送が効率よく行われるインタフェースが望まれている。その 1 つとして、電源供給線と信号線を備えたケーブルを各装置間に接続し、自装置のシステム電源がオフしていても、自装置を介して一方の周辺装置からのデータを他の周辺装置にデータ転送することができるインタフェースが提案されている。特に、IEEE 1394 規格のインタフェースが注目されてい

る。これらインタフェースに対応して、各装置が小型でかつ効率のよいデータ転送が可能なケーブル電源供給システムが求められている。

【0003】

【従来の技術】近年、パソコン、オーディオ・ビデオ機器、デジタルカメラ等の機器が出現し、その各種の機器を互いにケーブルにて接続し、各装置間でデータ転送を可能にすることによりさらなるマルチメディア化が図られている。そして、各装置間との間でデータ転送を行うためのインタフェースの 1 つとして、電源線とデータ線を備えたケーブルを各装置間に接続し、自装置のシステム電源がオフしていても、他の周辺装置からケーブルを介して電源が供給されるようにして自装置を介して一方の周辺機器からのデータを他の周辺機器にデータ転送することができるインタフェースが提案されている。

【0004】図 5 は、その各装置に設けられたケーブル電源供給システムを説明するためのシステム回路を示す。図 5 において、装置（説明の便宜上、パソコンとする。）は、2 個のコネクタ 51、52、システム電源回路 53、1 チップよりなるホスト・コントローラ IC（以下、ホスト・コントローラという）54、1 チップよりなる制御系 IC（以下、リンク層コントローラという）55、1 チップよりなる物理系 IC（以下、物理層コントローラという）56、2 個のレギュレータ 57、58、及び、ダイオード 59 を備えている。

【0005】第 1 コネクタ 51 は、第 1 ケーブル 61 を介して図示しない周辺装置（例えばデジタルカメラとする）に接続され、第 2 コネクタ 52 は第 2 ケーブル 62 を介して図示しない周辺装置（例えばカラーページプリンタとする）に接続されている。ケーブル 61、62 は、6 芯であって、プラス電源線、グランド電源線、4 本の信号線とからなる。

【0006】そして、パソコンの電源が切られ、システム電源回路 53 からシステム電源 VDDsys が出力されていない状態で、デジタルカメラからデータが出力されると、該データはケーブル 61、第 1 コネクタ 51 を介して物理層コントローラ 56 に転送される。この時、物理層コントローラ 56 は、第 1 ケーブル 61、第 1 コネクタ 51 及びレギュレータ 58 を介してデジタルカメラから（又は、第 2 ケーブル 62、第 2 コネクタ 52 及びレギュレータ 58 を介してカラーページプリンタから）ケーブル供給電源 VDDcab が供給されている。つまり、システム電源回路 53 からシステム電源 VDDsys が出力されず、ホスト・コントローラ 54 及びリンク層コントローラ 55 が動作しないが、物理層コントローラ 56 は、ケーブル 61、62 を介して他の周辺装置からケーブル供給電源 VDDcab の供給を受けて動作可能になっている。

【0007】従って、物理層コントローラ 56 は、動作し前記データを第 2 コネクタ 52 及びケーブル 62 を介

10

20

30

40

50

してカラーページプリンタに転送することができる。

【0008】

【発明が解決しようとする課題】ところで、上記のようにケーブル61、62を使って他の周辺装置から電源が供給できるケーブル電源供給システムにおいては、リンク層コントローラ（制御系IC）55と物理層コントローラ（物理系IC）56は、それぞれ別々の半導体チップで構成されている。そして、両コントローラ55、56の間は、不定信号によって誤動作しないようにアイソレートする構成にしていた。つまり、リンク層コントローラ55が電源VDDsysが供給されず非動作の状態において、何らかの原因で該コントローラ55から物理層コントローラ56に対して不定信号が出力された時、ケーブル供給電源VDDcabにより動作可能な物理層コントローラ56が該不定信号に応答して誤動作しないようにするためである。

【0009】しかしながら、2チップ、即ちリンク層コントローラ（制御系IC）55と物理層コントローラ（物理系IC）56をそれぞれ別々のチップ構成にすることにより、アイソレートする構成部分が増え、システムの部品点数が増え装置が全体的に大型化する問題があった。

【0010】そこで、リンク層コントローラ（制御系IC）55と物理層コントローラ（物理系IC）56を1つのチップで形成することが考えられる。しかしながら、図5に示すように、リンク層コントローラ（制御系IC）55はシステム電源VDDsysにて動作し、物理層コントローラ（物理系IC）56はケーブル供給電源VDDcabにて動作する。つまり、1つのチップで構成すると、そのチップ内には2系統の電源VDDsys、VDDcabが供給されることになる。その結果、チップ内にはそれぞれの電源VDDsys、VDDcabのための2種類の配線が必要となり、その配線のために回路設計及び配線設計が複雑になるとともにチップが大型化する問題が生ずる。

【0011】本発明の目的は、小型化に寄与することができるとともに、設計が容易で特別な製造方法を必要としない1チップ化が可能なコントローラをつくることのできるバス・コントローラへの電源供給方法、バス・コントローラ、及び、バス・コントローラの電源供給システムを提供することにある。

【0012】

【課題を解決するための手段】請求項1に記載の発明は、制御系回路部と物理系回路部とを備え、転送データに制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、ケーブルのデータ線を介して他の周辺装置からの転送された転送データを前記物理系回路部にて前記制御系回路部に転送して該転送データが自装置のための転送データかどうか

判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にするとともに、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて前記物理系回路部を動作可能にするようにしたバス・コントローラへの電源供給方法において、前記システム電源とケーブル供給電源をそれぞれ同じ電圧レベルにして1つの共通外部配線に供給し、その1つの共通外部配線を介して印加される電源を前記動作電源としてバス・コントローラに供給するようにした。

10 【0013】請求項2に記載の発明は、制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にするとともに、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて物理系回路部を動作可能にするようにしたバス・コントローラへの電源供給方法において、前記システム電源とケーブル供給電源をそれぞれダイオード介して1つの共通外部配線に供給し、その1つの共通外部配線を介して印加される電源を前記動作電源としてバス・コントローラに供給するようにした。

30 【0014】請求項3に記載の発明は、請求項1又は2に記載のバス・コントローラへの電源供給方法において、前記ケーブル供給電源のみが出力されている時、前記制御系回路部に対して誤動作防止処理を行うようにした。

【0015】請求項4に記載の発明は、請求項1乃至3のいずれか1に記載のバス・コントローラへの電源供給方法において、バス・コントローラは、前記制御系回路部と物理系回路部を同一半導体チップ内に形成してなる1チップの半導体集積回路装置である。

40 【0016】請求項5に記載の発明は、制御系回路部と物理系回路部とを備え、転送データに制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、ケーブルのデータ線を介して他の周辺装置からの転送された転送データを前記物理系回路部にて前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるようにしたバス・コントローラにおいて、自装置のシステム電源と前記ケーブルからのケーブル供給電源が供給される1つの共通外部配線から供給される電源を前記制御系回路

部及び物理系回路部の動作電源として入力する。

【0017】請求項6に記載の発明は、制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラにおいて、自装置のシステム電源と前記各ケーブルからのケーブル供給電源が供給される1つの共通外部配線から供給される電源を前記制御系回路部及び物理系回路部の動作電源として入力する。

【0018】請求項7に記載の発明は、請求項5又は6に記載のバス・コントローラにおいて、前記ケーブル供給電源のみが出力されている時、前記制御系回路部に対して誤動作防止処理を行う誤動作防止回路を備えた。

【0019】請求項8に記載の発明は、請求項7に記載のバス・コントローラにおいて、誤動作防止回路は、制御系回路部に入力される制御データを無効にするゲート回路である。

【0020】請求項9に記載の発明は、請求項5乃至8のいずれか1に記載のバス・コントローラにおいて、バス・コントローラは、前記制御系回路部と物理系回路部を同一半導体チップ内に形成してなる1チップの半導体集積回路装置である。

【0021】請求項10に記載の発明は、制御系回路部と物理系回路部を備え、転送データに前記制御系回路部にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御系回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラにおいて、自装置のシステム電源と前記各ケーブルからのケーブル供給電源が供給される1つの共通外部配線から供給される電源を前記物理系回路部の動作電源として入力する。

【0022】請求項11に記載の発明は、請求項10に記載のバス・コントローラにおいて、前記制御系回路部と前記物理系回路部はそれぞれ別々の1チップの半導体集積回路装置で構成され、前記物理系回路部は、ケーブル供給電源のみ出力されている時、制御系回路部からの不定信号を無効化にするゲートを備えた。

【0023】請求項12に記載の発明は、制御系回路部と物理系回路部を備え、転送データに前記制御系回路部

にてヘッダー部を加え、前記物理系回路部にてそのヘッダー部を加えた転送データをケーブルのデータ線を介して他の周辺装置に転送し、又、一方の周辺装置からの一方のケーブルのデータ線を介して転送された転送データを前記物理系回路部にて入力し、該転送データを他方のケーブルのデータ線を介して他方の周辺装置に転送するとともに前記制御ブロック回路部に転送して該転送データが自装置のための転送データかどうか判断させるバス・コントローラに対して、自装置のシステム電源にて前記制御系及び物理系回路部を動作可能にし、前記周辺装置から前記ケーブルの電源線を介して供給されるケーブル供給電源にて物理系回路部を動作可能にするようにしたバス・コントローラの電源供給システムにおいて、前記制御系回路部と物理系回路部の動作電源を供給する1つの共通外部配線にシステム電源とケーブル供給電源をそれぞれ供給するダイオードと、前記システム電源かケーブル供給電源のいずれが出力されているか判定する判定回路と、ケーブル供給電源のみ出力されている時、前記制御系回路部に対して入力されていく不定信号を無効化する誤動作防止回路とを備えた。

【0024】（作用）請求項1及び2に記載の発明によれば、前記システム電源とケーブル供給電源をそれぞれ1つの共通外部配線を介して前記動作電源としてバス・コントローラに供給するようにした。その結果、バス・コントローラに供給される動作電源は1系統となるため、例えば、制御系回路部と物理系回路部を1チップの半導体集積回路装置内で形成した場合、チップ内には1種類の電源線を形成すればよくなる。その結果、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のために回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0025】請求項3に記載の発明によれば、請求項1又は2に記載のバス・コントローラへの電源供給方法において、前記ケーブル供給電源のみが出力されている時、前記制御系回路部に対して誤動作防止処理を行うようにした。何らの原因で外部から不定信号が発生しても、制御系回路部は実質非動作状態になり、不定信号に基づいて誤動作することはない。

【0026】請求項4に記載の発明によれば、請求項1乃至3のいずれか1に記載のバス・コントローラへの電源供給方法において、バス・コントローラは制御系回路部と物理系回路部を1チップの半導体集積回路装置内で形成されていることから、装置全体を小型化することができる。

【0027】請求項5及び6に記載の発明によれば、バス・コントローラはシステム電源とケーブル供給電源を1つの共通外部配線を介して制御系回路部及び物理系回路部の動作電源として入力している。その結果、バス・コントローラに供給される動作電源は1系統となるため、例えば、制御系回路部と物理系回路部を含むバス・

10

20

30

40

50

コントローラを 1 チップの半導体集積回路装置内で形成した場合、チップ内には 1 種類の電源線を形成すればよくなる。その結果、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のために回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0028】請求項 7 に記載の発明によれば、請求項 5 又は 6 に記載のバス・コントローラにおいて、ケーブル供給電源のみが出力されている時、誤動作防止回路にて制御系回路部に対して誤動作防止を行うようにした。従って、何らの原因で外部から不定信号が発生しても、制御系回路部は実質非動作状態になり、不定信号に基づいて誤動作することはない。

【0029】請求項 8 に記載の発明によれば、請求項 7 に記載のバス・コントローラにおいて、誤動作防止回路を制御系回路部に入力される制御データを無効にするゲート回路した。従って、何らの原因で外部から不定信号が発生しても、制御系回路部に入力されないため、制御系回路部は不定信号に基づいて誤動作することはない。

【0030】請求項 9 に記載の発明によれば、請求項 5 乃至 8 のいずれか 1 に記載のバス・コントローラにおいて、バス・コントローラは制御系回路部と物理系回路部を 1 チップの半導体集積回路装置内で形成されていることから、装置全体を小型化することができる。

【0031】請求項 10 に記載の発明によれば、バス・コントローラの物理系回路部は、システム電源とケーブル供給電源が供給される 1 つの共通外部配線から供給される電源を動作電源としている。従って、物理系回路部は、システム電源が出力されていない時でも、ケーブル供給電源にて動作可能な状態になっている。

【0032】請求項 11 に記載の発明の発明によれば、請求項 10 に記載のバス・コントローラにおいて、制御系回路部から物理系回路部に入力される転送データを無効にするゲート回路したので、何らの原因で外部から不定信号が発生しても物理系回路部は不定信号に基づいて誤動作することはない。又、1 チップ化された制御系回路部と物理系回路部との間にアイソレートのための回路を設けなくてもよく装置全体を小型化することができる。

【0033】請求項 12 に記載の発明によれば、バス・コントローラの電源供給システムにおいて、バス・コントローラの制御系回路部と物理系回路部はダイオード及び 1 つの共通外部配線にてシステム電源とケーブル供給電源を動作電源として入力する。又、システム電源かケーブル供給電源のいずれが出力されているか判定する判定回路がケーブル供給電源のみ出力されている時、誤動作防止回路は制御系回路部に対して入力されていく不定信号を無効化する。従って、バス・コントローラの制御系回路部と物理系回路部に供給される動作電源は 1 系統

となるため、例えば、制御系回路部と物理系回路部を含むバス・コントローラを 1 チップの半導体集積回路装置内で形成した場合、チップ内には 1 種類の電源線を形成すればよくなる。その結果、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のために回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0034】又、誤動作防止回路にて外部から制御系回路部に入力される不定信号を無効にするゲート回路したので、何らの原因で外部から不定信号が発生しても制御系回路部は不定信号に基づいて誤動作することはない。又、制御系回路部と物理系回路部との間にアイソレートのための回路を設けなくてもよく装置全体を小型化することができる。

【0035】

【発明の実施の形態】

(第 1 実施形態) 図 1 はパーソナルコンピュータ（以下、パソコンという）に対して各種の周辺装置がケーブルを介して接続され互いにデータ転送を行うようにしたシステム構成を示す。

【0036】図 1 において、パソコン 1 は、第 1 ケーブル 2 a を介して周辺装置としてのデジタル VTR 3 と接続されているとともに、第 2 ケーブル 2 b を介して周辺装置としてカラーページプリンタ 4 に接続されている。デジタル VTR 3 は周辺装置としてのデジタルカメラ 5 に対して第 3 ケーブル 2 c を介して接続されている。カラーページプリンタ 4 は周辺装置としてのデジタルビデオカメラ 6 に対して第 4 ケーブル 2 d を介して接続されている。

【0037】第 1 ～ 第 4 ケーブル 2 a ～ 2 d は、互いにデータ転送を行うための信号線と、相手の装置にケーブル電源 VDDcabb を供給するためのプラス電源線とグラウンド電源線を備えたケーブルである。そして、これら各ケーブル 2 a ～ 2 d を介してそれぞれパソコン 1 と各周辺装置 3 ～ 6 との間、又は、各周辺装置 3 ～ 6 との間でデータ転送が可能となるとともにケーブル電源 VDDcabb の供給を可能にする。

【0038】図 2 は、パソコン 1 内に設けたデータ転送のためのケーブル電源供給システム説明するための回路を示す。尚、この回路は、他の周辺装置 3 ～ 6 内も同様な回路が備えられている。

【0039】パソコン 1 は、システム電源回路 11、マイクロプロセッサユニットよりなるホスト・コントローラ IC（以下、ホスト・コントローラという）12、バス・コントローラ IC（以下、単にバス・コントローラという）13、2 個のレギュレータ 14、15 及び 2 個のコネクタ 16、17 を備えている。ホスト・コントローラ 12 及びバス・コントローラ 13 は、それぞれ 1 チップの半導体集積回路装置（LSI）にて形成されている。

【0040】システム電源回路11は、該パソコン1の電源スイッチがオンされた時、システム電源VDDsysを生成する。そして、このシステム電源VDDsysは、動作電源としてホストコントローラ12に供給されるとともに、ダイオードD1を介して動作電源としてバス・コントローラ13に供給される。

【0041】ホスト・コントローラ12は、システム電源VDDsysが供給されている時のみ動作するようになっている。ホスト・コントローラ12は、信号線を介してバス・コントローラ13との間でデータ転送制御処理のための制御データの授受を行う。即ち、ホスト・コントローラ12は、バス・コントローラ13が取り込んだデータをどのように処理しパソコン1内に設けた図示しない内部装置のどの装置に転送させたり、又、内部装置で作成した転送データをバス・コントローラ13を介して他の周辺装置3～6に転送させるための処理を行わせるための制御データの授受をバス・コントローラ13との間で行う。従って、システム電源VDDsysが供給されていない時、ホスト・コントローラ12は、非動作状態にあるため、バス・コントローラ13に対して上記した制御データを出力することはない。

【0042】バス・コントローラ13は、内部回路として物理系ブロック回路部13aと制御系ブロック回路部13bを備えている。物理系回路部としての物理系ブロック回路部13aは、第1コネクタ16と第2コネクタ17と接続されている。第1コネクタ16は、第1ケーブル2aを介して前記デジタルVTR3に接続されている。第2コネクタ17は、第2ケーブル2bを介してカラーページプリンタ4に接続されている。

【0043】物理系ブロック回路部13aは、第1コネクタ16及び第1ケーブル2aを介してデジタルVTR3に設けたバス・コントローラから転送されてくる転送データを入力する。物理系ブロック回路部13aは、その入力した転送データを制御系ブロック回路部13bに転送するとともに、第2コネクタ17及び第2ケーブル2bを介してカラーページプリンタ4に設けたバス・コントローラに転送する。

【0044】又、物理系ブロック回路部13aは、第2コネクタ17及び第2ケーブル2bを介してカラーページプリンタ4に設けたバス・コントローラから転送されてくる転送データを入力する。物理系ブロック回路部13aは、その入力した転送データを制御系ブロック回路部13bに転送するとともに、第1コネクタ16及び第1ケーブル2aを介してデジタルVTR3に設けたバス・コントローラに転送する。

【0045】さらに、物理系ブロック回路部13aは、制御系ブロック回路部13bから出力されてくる転送データを入力し、該転送データを第1及び第2コネクタ16、17に出力するようになっている。従って、制御ブロック回路部13bから出力された転送データは、それ

ぞれデジタルVTR3及びカラーページプリンタ4のバス・コントローラに転送されることになる。

【0046】制御系回路としての制御系ブロック回路部13bは、ホスト・コントローラ12との間で制御データの授受を行う回路部であって、物理系ブロック回路部13aから入力した転送データが自装置のために転送されたデータかを解析する。そして、自装置のためのデータであると、制御系ブロック回路部13bは、ホスト・コントローラ12からの制御データに基づいてパソコン1内に設けた所定の内部装置に転送させるようになっている。

【0047】又、制御系ブロック回路部13bは、ホスト・コントローラ12からの制御データに基づいてパソコン1内に設けた図示しない内部装置で作成した転送データに転送先データ等を含むヘッダー部を付加、即ち転送データに転送先等を指定した所定のフォーマットにして物理系ブロック回路部13aに出力するようになっている。

【0048】物理系及び制御系ブロック回路部13a、13bを備えたバス・コントローラ13は、動作電源としてシステム電源VDDsysを第1ダイオードD1を介して入力するとともに、動作電源としてケーブル供給電源VDDcabを第2ダイオードD2を介して入力する。つまり、第2ダイオードD2のアノードは第1レギュレータ14を介して第1及び第2コネクタ16、17に接続されている。各コネクタ16、17は、第1レギュレータ14と各ケーブル2a、2bのプラス電源線と接続させる。従って、デジタルVTR3又はカラーページプリンタ4から供給されるケーブル電源VDDcabbが第1レギュレータ14に入力されることになる。又、各コネクタ16、17は、システム電源回路11のアース端子と各ケーブル2a、2bのグランド電源線と接続させている。

【0049】第1レギュレータ14は、ケーブル電源VDDcabbを入力し、ケーブル電源VDDcabbをシステム電源VDDsysのレベルまで降圧して第2ダイオードD2を介してケーブル供給電源VDDcabとしてバス・コントローラ13に供給するようになっている。詳述すると、第1及び第2ダイオードD1、D2のカソード端子は互いに接続され、その両カソード端子を接続した共通外部配線としての共通配線L1がバス・コントローラ13のプラス外部電源入力端子に接続されている。

【0050】従って、バス・コントローラ13内に供給される電源は1系統となり、そのためのチップ内に形成されるプラス電源線L2は1種類となる。又、バス・コントローラ13内に形成されたグランド配線L3も1種類でよく、該グランド配線L3はシステム電源回路11のアース端子に接続されるようになっている。

【0051】その結果、システム電源VDDsysが供給されていなくとも、即ちパソコン1の電源スイ



ッチが投入されていない状態であっても、バス・コントローラ 13 は、デジタル VTR 3 又はカラーページプリンタ 4 から供給されるケーブル電源 VDDcabb に基づいて動作状態に保たれ、例えばデジタル VTR 3 とカラーページ 4 間のデータ転送を可能する。

【0052】又、システム電源回路 11 のシステム電源 VDDsys は、第 2 レギュレータ 15 にて昇圧された後、第 3 ダイオード D3 を介してケーブル電源 VDDcabb としてコネクタ 16、17 に供給するようになっている。従って、該パソコン 1 から各ケーブル 2a、2b を介してケーブル電源 VDDcabb を各デジタル VTR 3、カラーページプリンタ 4、デジタルカメラ 6、及び、デジタルビデオカメラ 7 に設けたバス・コントローラに供給されるようになっている。

【0053】又、パソコン 1 には判定回路 20 が備えられているとともに、バス・コントローラ 13 内にはゲート回路 13c が備えられている。判定回路 20 は、P チャンネル MOS トランジスタと N チャンネル MOS トランジスタよりなるインバータ 21 と 2 個の抵抗 22、23 とから構成されている。インバータ 21 は、その P チャンネル MOS トランジスタのソース端子が前記共通配線 L1 に接続され、N チャンネル MOS トランジスタのソース端子がシステム電源回路 11 のアース端子に接続されている。インバータ 21 の入力端子は、抵抗 22 を介してシステム電源回路 11 のプラス端子に接続されシステム電源 VDDsys を入力する。又、インバータ 21 の入力端子は抵抗 23 を介してシステム電源回路 11 のアース端子に接続されている。

【0054】従って、インバータ 11 は、システム電源回路 11 からシステム電源 VDDsys を出力している時、低電位（L レベル）の判定信号 SG1 を出力する。又、インバータ 11 は、システム電源回路 11 からシステム電源 VDDsys が出力されていない時（但し、ケーブル供給電源 VDDcab は供給されている）、高電位（H レベル）の判定信号 SG1 を出力する。

【0055】つまり、判定回路 20 は、パソコン 1 の電源スイッチが切られている時には（即ち、ホスト・コントローラ 12 が非動作の時には）、H レベルの判定信号 SG1 を出力する。又、判定回路 20 は、パソコン 1 の電源スイッチが投入されている時には（即ち、ホスト・コントローラ 12 が動作状態にある時には）、L レベルの判定信号 SG1 を出力する。この判定信号 SG1 は、バス・コントローラ 13 内に形成したゲート回路 13c に出力される。

【0056】ゲート回路 13c は、バッファ回路 25、N チャンネル MOS トランジスタ 26 及びプルダウン抵抗 27 とから構成されている。本実施形態では、図 2 においてゲート回路 13c を 1 つだけ示したが、前記ホスト・コントローラ 12 から出力される制御データを制御系ブロック回路部 13b が入力する複数の信号線 L4 の数

だけ設けられている。

【0057】バッファ回路 25 は、信号線 L4 に接続され、ホスト・コントローラ 12 の制御データを制御系ブロック回路部 13b に出力する。N チャンネル MOS トランジスタ 26 は、そのドレイン端子がバッファ回路 25 の入力端子に接続され、ソース端子がプルダウン抵抗 27 を介してシステム電源回路 11 のアース端子に接続されている。そして、N チャンネル MOS トランジスタ 26 のゲート端子は、前記判定回路 20 からの判定信号 SG1 を入力する。

【0058】従って、判定信号 SG1 が L レベルの時（ホスト・コントローラ 12 が動作状態にある時）、N チャンネル MOS トランジスタ 26 はオフする。その結果、ホスト・コントローラ 12 から出力される制御データは、そのままバッファ回路 25 を介して制御系ブロック回路部 13b に入力される。一方、判定信号 SG1 が H レベルの時（ホスト・コントローラ 12 が非動作状態にある時）、N チャンネル MOS トランジスタ 26 はオンする。従って、バッファ回路 25 の入力端子のレベルは該トランジスタ 26 のオンに基づいて L レベルに保持される。その結果、ホスト・コントローラ 12 から何らの原因で不定信号が発生しても、該不定信号はバッファ回路 25 を介して制御系ブロック回路部 13b に入力されることはない。

【0059】次に、上記のように構成した、ケーブル供給電源システムの作用について説明する。

1. システム電源 VDDsys が出力されている時  
ホスト・コントローラ 12 及びバス・コントローラ 13 は、システム電源回路 11 からのシステム電源 VDDsys が供給され、該電源 VDDsys の供給に基づいて動作状態になっている。又、L レベルの判定信号 SG1 が判定回路 20 からゲート回路 13c に出力されていることから、ゲート回路 13c は、ホスト・コントローラ 12 からバス・コントローラ 13 の制御系ブロック回路部 13b に出力する制御データをそのまま出力する。

【0060】従って、制御系ブロック回路部 13b は、該制御データに基づいて物理系ブロック回路部 13a から入力した転送データが自装置のために転送されたデータを解析してパソコン 1 内に設けた所定の内部装置に転送させたり、パソコン 1 内に設けた内部装置で作成した転送データに転送先等を指定した所定のフォーマットにして物理系ブロック回路部 13a に出力したりする。

【0061】一方、物理系ブロック回路部 13a は、制御系ブロック回路部 13b から出力された転送データを第 1 及び第 2 コネクタ 16、17 及び第 1 及び第 2 ケーブル 2a、2b を介してそれぞれデジタル VTR 3 及びカラーページプリンタ 4 のバス・コントローラに転送する。又、物理系ブロック回路部 13a はデジタル VTR 3 のバス・コントローラから転送されてくる転送データを入力し制御系ブロック回路部 13b に転送するととも

に、カラーページプリンタ4のバス・コントローラに転送する。

【0062】さらに、物理系ブロック回路部13aはカラーページプリンタ4のバス・コントローラから転送されてくる転送データを入力し制御系ブロック回路部13bに転送するとともに、デジタルVTR3のバス・コントローラに転送する。

【0063】2. システム電源VDDsys が出力されない状態で、ケーブル供給電源VDDcab が供給されている時

ホスト・コントローラ12は、システム電源回路11からのシステム電源VDDsys が供給されないため、非動作状態になっている。反対に、バス・コントローラ13は、ケーブル供給電源VDDcab が供給され、該電源VDDcab の供給に基づいて動作状態になっている。又、Hレベルの判定信号SG1が判定回路20からゲート回路13cに出力されていることから、バッファ回路25の入力端子のレベルは常にLレベルに保持される。

【0064】従って、ホスト・コントローラ12から何らの原因で不定信号が発生しても、該不定信号はバッファ回路25を介して制御系ブロック回路部13bに入力されることはない。その結果、実質的に制御系ブロック回路部13bは非動作状態になるため、制御系ブロック回路部13bは不定信号に基づく誤動作することがなく、ひいては物理系ブロック回路部13aを誤動作させることもない。

【0065】又、バス・コントローラ13のみ動作状態にあるため、物理系ブロック回路部13aはデジタルVTR3のバス・コントローラから転送されてくる転送データを入力しカラーページプリンタ4のバス・コントローラに転送する。又、物理系ブロック回路部13aはカラーページプリンタ4のバス・コントローラから転送されてくる転送データを入力しデジタルVTR3のバス・コントローラに転送する。

【0066】次に、上記のように構成したケーブル電源供給システムの特徴を以下に述べる。

(1) 本実施形態では、システム電源VDDsys が出力されない状態でも、ケーブル供給電源VDDcab が供給されている時には、ホスト・コントローラ12は非動作状態になっていてもバス・コントローラ13は動作状態になっている。

【0067】従って、バス・コントローラ13、即ち、物理系ブロック回路部13aは、デジタルVTR3のバス・コントローラから転送されてくる転送データをカラーページプリンタ4に転送するとともに、カラーページプリンタ4から転送されてくる転送データをデジタルVTR3のバス・コントローラに転送することができる。

【0068】(2) 本実施形態ではホスト・コントローラ12が非動作状態でバス・コントローラ13が動作状態にあるとき、判定回路20はHレベルの判定信号SG

1をゲート回路13cに出力してバッファ回路25の入力端子のレベルを常にLレベルの状態に保持させている。そして、ホスト・コントローラ12から何らの原因で不定信号が発生しても、該不定信号はバッファ回路25を介して制御系ブロック回路部13bに入力されないようにしている。

【0069】従って、バス・コントローラ12の制御系ブロック回路部13bは実質非動作状態になり、不定信号に基づいて物理系ブロック回路部13aを誤動作させることはない。

【0070】(3) 本実施形態は、第1ダイオードD1及び第2ダイオードD2の両カソード端子を共通配線L1に接続し、その共通配線L1の他端は、1チップのバス・コントローラ13の外部電源入力端子に接続した。そして、第1ダイオードD1からはシステム電源VDDsys が、第2ダイオードD2からは第1レギュレータ14にて該システム電源VDDsys の電圧レベルに降圧されたケーブル供給電源VDDcab がバス・コントローラ13に動作電源として入力される。即ち、システム電源VDDsys とケーブル供給電源VDDcab の2種類の電源系統が1つの電源系統となってバス・コントローラ13に供給されるようにした。

【0071】従って、バス・コントローラ13内に供給される電源は1系統となり、そのためチップ内には1種類のプラス電源線L2とグランド配線L3を形成すればよくなる。その結果、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のために回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0072】(第2実施形態) 次に、本発明をシリアルインタフェースの一つであるIEEE1394に準拠したケーブル電源供給システムに具体化した実施形態を図3に従って説明する。尚、説明の便宜上、本実施形態の各周辺装置との間の構成は第1実施形態で説明した図1に示すシステム構成と同じとする。

【0073】図3は、パソコン1内に設けたデータ転送のためのケーブル電源供給システム説明するための回路を示す。尚、本実施形態では、第1実施形態と相違する点は第1～第4ケーブル2a～2dがIEEE1394に準拠したケーブルであることと、前記バス・コントローラ13がIEEE1394用バス・コントローラ31となっている点である。

【0074】本実施形態では、第1～第4ケーブル2a～2dは、6芯であってプラス電源線、グランド電源線、4本の信号線とから構成されている。従って、本実施形態のコネクタ16、17も6ピンで構成されている。

【0075】一方、IEEE1394用バス・コントローラ31は、1チップの半導体集積回路装置(LSI)よりなり、第1ダイオードD1及び第2ダイオードD2

10

20

30

40

50

の両カソード端子が接続された共通配線 L1 に接続されているとともに、システム電源回路 11 のアース端子に接続されている。IEEE 1394 用バス・コントローラ 31 は、第 1 ダイオード D1 からシステム電源 VDDsys が、第 2 ダイオード D2 から第 1 レギュレータ 14 にて該システム電源 VDDsys の電圧レベルに降圧されたケーブル供給電源 VDDcab が動作電源として入力されるようになっている。

【0076】IEEE 1394 用バス・コントローラ 31 は、該コントロール 31 内には物理系回路としての物理層ブロック回路部 31a と制御系回路部としてのリンク層ブロック回路部 31b を備えている。両ブロック回路部 31a、31b には、判定回路 20 から判定信号 SG1 が入力されるようになっている。

【0077】物理層ブロック回路部 31a は、リピータ機能を備えている。即ち、物理層ブロック回路部 31a は第 1 コネクタ 16 及び第 2 コネクタ 17 と接続されている。そして、物理系ブロック回路部 31a は、第 1 コネクタ 16 及び第 1 ケーブル 2a を介してデジタル VTR 3 から転送されてくる転送データを入力し、その入力した転送データをリンク層ブロック回路部 31b に転送するとともに、第 2 コネクタ 17 及び第 2 ケーブル 2b を介して反対側の周辺装置であるカラーページプリンタ 4 に転送する。

【0078】又、物理層ブロック回路部 31a は、第 2 コネクタ 17 及び第 2 ケーブル 2b を介してカラーページプリンタ 4 から転送されてくる転送データを入力し、その入力した転送データをリンク層ブロック回路部 31b に転送するとともに、第 1 コネクタ 16 及び第 1 ケーブル 2a を介してデジタル VTR 3 に転送する。

【0079】さらに、物理層ブロック回路部 31a は、リンク層ブロック回路部 31b から出力されてくる転送データを入力し、該転送データを第 1 及び第 2 コネクタ 16、17 に出力するようになっている。従って、リンク層ブロック回路部 31b から出力された転送データは、それぞれデジタル VTR 3 及びカラーページプリンタ 4 のバス・コントローラに転送されることになる。

【0080】又、物理層ブロック回路部 31a には、セルフ ID パケット設定レジスタ（以下、設定レジスタという）32 を備えている。設定レジスタ 32 には、例えば、転送能力である転送レート等の自装置の各種機能を示すためデータ（セルフ ID）が記憶されている。そして、物理層ブロック回路部 31a は、システム電源 VDDsys の投入時、即ち判定信号 SG1 の H レベルへの立ち上がりに対応し、トポロジの設定を行いその際に各周辺装置に対して設定レジスタ 32 に設定したセルフ ID を転送するようになっている。

【0081】さらに、該設定レジスタ 32 には、リンク層ブロック回路部 31b が動作中か否かを示すリンク・アクティブ記憶領域を有している。そして、物理層プロ

ック回路部 31a は、前記判定回路 20 から H レベル（システム電源 VDDsys が出力されていない内容）の判定信号 SG1 を入力すると、その内容のデータを該設定レジスタ 32 のリンク・アクティブ記憶領域に書き込む。そして、その内容に基づいて物理層ブロック回路部 31a はリンク層ブロック回路部 31b が動作していない前提で各種の動作を行う。反対に、物理層ブロック回路部 31a は、前記判定回路 20 から L レベル（システム電源 VDDsys が出力されている内容）の判定信号 SG1 を入力すると、その内容のデータを該設定レジスタ 32 のリンク・アクティブ記憶領域に書き込む。そして、その内容に基づいて物理層ブロック回路部 31a はリンク層ブロック回路部 31b が動作している前提で各種の動作を行う。尚、このリンク・アクティブ記憶領域に書き込まれたデータは、セルフ ID の 1 つとしてトポロジの設定の際に各周辺装置に対して転送されるようになっている。

【0082】さらに又、設定レジスタ 32 には、物理層ブロック回路部 31a がシステム電源 VDDsys にて動作しているのか、ケーブル供給電源 VDDcab にて動作しているかを示すパワー・クラス記憶領域を有している。そして、物理層ブロック回路部 31a は、前記判定回路 20 から H レベル（システム電源 VDDsys が出力されていない内容）の判定信号 SG1 を入力すると、ケーブル供給電源 VDDcab にて動作している内容のデータを設定レジスタ 32 のパワー・クラス記憶領域に書き込む。反対に、物理層ブロック回路部 31a は、前記判定回路 20 から L レベル（システム電源 VDDsys が出力されている内容）の判定信号 SG1 を入力すると、システム電源 VDDsys にて動作している内容のデータを設定レジスタ 32 のパワー・クラス記憶領域に書き込む。そして、このパワー・クラス記憶領域に書き込まれたデータは、セルフ ID の 1 つとしてトポロジの設定の際に各周辺装置に対して転送されるようになっている。

【0083】さらに、物理層ブロック回路部 31a は、判定信号 SG1 が切り換わる毎にどちらの電源に切り換わったかを示すためのリセットデータを各コネクタ 16、17 を介してデジタル VTR 3、カラーページプリンタ 4 に出力するようになっている。

【0084】リンク層ブロック回路部 31b は、ホスト・コントローラ 12 との間で制御データの授受を行う回路部であって、物理層ブロック回路部 31a から入力した転送データが自装置のために転送されたデータかを解析する。そして、自装置のためのデータであると、リンク層ブロック回路部 31b は、ホスト・コントローラ 12 からの制御データに基づいてパソコン 1 内に設けた所定の内部装置に転送させるようになっている。又、リンク層ブロック回路部 31b は、ホスト・コントローラ 12 からの制御データに基づいてパソコン 1 内に設けた図示しない内部装置で作成した転送データに転送先データ

等を含むヘッダー部を付加、即ち転送データに転送先等を指定した所定のフォーマットにして物理層ブロック回路部 31a に出力するようになっている。

【0085】又、リンク層ブロック回路部 31b は、前記判定回路 20 から H レベル（システム電源 VDDsys が出力されていない内容）の判定信号 SG1 を入力すると、ケーブル供給電源 VDDcab に基づいて動作可能な状態であっても自身の動作を停止する停止モードになる。その結果、この停止モードにおいて、何らかの原因でホスト・コントローラ 12 から不定信号が入力しても、リンク層ブロック回路部 31b はこの不定信号にตอบสนองして誤動作することはない。反対に、リンク層ブロック回路部 31b は、前記判定回路 20 から L レベル（システム電源 VDDsys が出力されている内容）の判定信号 SG1 を入力すると、通常の動作モードとなり各種の動作を行うようになっている。

【0086】次に、上記のように構成した、ケーブル供給電源システムの作用について説明する。

1. システム電源 VDDsys が出力されている時  
ホスト・コントローラ 12 及びバス・コントローラ 31 は、システム電源回路 11 からのシステム電源 VDDsys が供給され、該電源 VDDsys の供給に基づいて動作状態になっている。そして、L レベルの判定信号 SG1 が判定回路 20 から出力されていることから、リンク層ブロック回路部 31b は、ホスト・コントローラ 12 からの制御データに基づいて物理層ブロック回路部 31a から入力した転送データが自装置のために転送されたデータを解析してパソコン 1 内に設けた所定の内部装置に転送させたり、パソコン 1 内に設けた内部装置で作成した転送データに転送先を指定した所定のフォーマットにして物理層ブロック回路部 31a に出力したりする。

【0087】一方、物理系ブロック回路部 13a は、制御系ブロック回路部 13b から出力された転送データを第 1 及び第 2 コネクタ 16, 17 及び第 1 及び第 2 ケーブル 2a, 2b を介してそれぞれデジタル VTR3 及びカラーページプリンタ 4 に転送する。又、物理層ブロック回路部 31a はデジタル VTR3 のバス・コントローラから転送されてくる転送データを入力し制御系ブロック回路部 13b に転送するとともに、カラーページプリンタ 4 のバス・コントローラに転送する。

【0088】さらに、物理層ブロック回路部 31a はカラーページプリンタ 4 のバス・コントローラから転送されてくる転送データを入力しリンク層ブロック回路部 31b に転送するとともに、デジタル VTR3 のバス・コントローラに転送する。

【0089】2. システム電源 VDDsys が出力されない状態で、ケーブル供給電源 VDDcab が供給されている時

ホスト・コントローラ 12 は、システム電源回路 11 からのシステム電源 VDDsys が供給されないため、非動

作状態になっている。反対に、バス・コントローラ 31 は、ケーブル供給電源 VDDcab が供給され、該電源 VDDcab の供給に基づいて動作状態になっている。そして、H レベルの判定信号 SG1 が判定回路 20 から出力されていることから、リンク層ブロック回路部 31b は停止モードになり、何らかの原因でホスト・コントローラ 12 から不定信号が入力されても、リンク層ブロック回路部 31b はこの不定信号にตอบสนองして誤動作することはない。

10 【0090】一方、物理層ブロック回路部 31a は、その内容のデータを該設定レジスタのリンク・アクティブ記憶領域に書き込まれるため、その内容に基づいてリンク層ブロック回路部 31b が動作していない前提で各種の動作を行う。従って、リンク層ブロック回路部 31b の誤動作にもとづく物理層ブロック回路 31a の誤動作は生じない。

【0091】又、物理層ブロック回路部 31a のみ動作状態にあるため、物理層ブロック回路部 31a はデジタル VTR3 のバス・コントローラから転送されてくる転送データを入力しカラーページプリンタ 4 に転送する。又、物理層ブロック回路部 31a はカラーページプリンタ 4 から転送されてくる転送データを入力しデジタル VTR3 のバス・コントローラに転送する。

20 【0092】次に、上記のように構成したケーブル電源供給システムの特徴を以下に述べる。

(1) 本実施形態では、システム電源 VDDsys が出力されない状態でも、ケーブル供給電源 VDDcab が供給されている時には、ホスト・コントローラ 12 は非動作状態になっていてもバス・コントローラ 31 の物理層ブロック回路部 31a は動作状態になっている。

30 【0093】従って、物理層ブロック回路部 31a は、デジタル VTR3 のバス・コントローラから転送されてくる転送データをカラーページプリンタ 4 に転送するとともに、カラーページプリンタ 4 から転送されてくる転送データをデジタル VTR3 のバス・コントローラに転送することができる。

【0094】(2) 本実施形態ではホスト・コントローラ 12 が非動作状態でバス・コントローラ 31 が動作状態にあるとき、判定回路 20 は H レベルの判定信号 SG1 に基づいてリンク層ブロック回路部 31b を停止モードにしている。そして、ホスト・コントローラ 12 から何らの原因で不定信号が発生しても、該不定信号にリンク層ブロック回路部 31b がตอบสนองしないようにしている。

40 【0095】従って、リンク層ブロック回路部 31b は実質非動作状態になり、不定信号に基づいて物理層ブロック回路部 31b を誤動作させることはない。

(3) 本実施形態では、物理層ブロック回路部 31a は、H レベルの判定信号 SG1 に基づいてリンク層ブロック回路部 31b を停止モードであることを設定レジス

タ32のリンク・アクティブ記憶領域に書き入れるため、その内容に基づいてリンク層ブロック回路部31bが動作していない前提で各種の動作を行う。従って、何らかの原因でリンク層ブロック回路部31bが誤動作しても物理層ブロック回路31aはこれに応答して誤動作することはない。

【0096】(4)本実施形態は、前記第1実施形態と同様にシステム電源VDD<sub>sys</sub>とケーブル供給電源VDD<sub>cab</sub>の2種類の電源系統が1つの電源系統となってバス・コントローラ31に供給されるようにした。

【0097】従って、バス・コントローラ31内に供給される電源は1系統となり、そのためチップ内には1種類のプラス電源線とグランド配線を形成すればよくなる。その結果、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のために回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0098】尚、発明の実施の形態は上記実施形態に限定されるものではなく以下のように実施してもよい。

○第1実施形態では、1チップのバス・コントローラ13の中に物理系ブロック回路部13aと制御系ブロック回路部13bをそれぞれ形成したが、図4に示すように、物理系ブロック回路部13aに相当する物理系コントローラ41と、制御系ブロック回路部13bに相当する制御系コントローラ42とをそれぞれ別々の1チップの半導体集積回路装置に形成する。制御系コントローラ42は、システム電源VDD<sub>sys</sub>のみにて動作するようにする。そして、物理系コントローラ41は、システム電源VDD<sub>sys</sub>とケーブル供給電源VDD<sub>cab</sub>の2種類の電源系統が1つの電源系統となって供給されるようにする。

【0099】さらに、物理系コントローラ41は第1実施形態で示したと同様な回路構成のゲート回路41bを備える。ゲート回路41bは、バッファ回路43、NチャネルMOSトランジスタ44及びプルダウン抵抗45とから構成されている。この場合、図4においてゲート回路41bを1つだけ示したが、前記制御系コントローラ42から出力される各種データを物理系コントローラ41が入力する複数の信号線L5の数だけ設けられている。そして、MOSトランジスタ44のゲート端子に判定回路20からの判定信号SG1が入力される。

【0100】従って、この場合においても、ホスト・コントローラ12及び制御系コントローラ42が非動作状態で物理系コントローラ41が動作状態にあるとき、判定回路20はHレベルの判定信号SG1をゲート回路41bに出力してバッファ回路43の入力端子のレベルを常にLレベルの状態に保持させている。そして、制御系コントローラ42から何らかの原因で不定信号が発生しても、該不定信号はバッファ回路43を介して物理系コントローラ41の内部回路部41aに入力されないように

している。従って、物理系コントローラ41は不定信号に基づいて誤動作することはない。

【0101】しかも、制御系コントローラ42と物理系コントローラ41との間において、従来のようにアイソレートするための構成部品を必要としない。従って、従来の2チップ構成に比べて装置全体を小型化することができる。

【0102】○図2及び図4に示すゲート回路13c、41bは、それぞれコントローラ13、41内に形成したが、これを別の半導体チップに形成して実施してもよい。この場合、判定回路20と同一の半導体チップにて形成してもよい。

【0103】○図2、図3及び図4に示す判定回路20をそれぞれコントローラ13、31、41内に形成して実施してもよい。

○図2において、ゲート回路13cを制御系ブロック回路部13bと物理系ブロック回路部13aとの間にも設けて実施してもよい。

【0104】

【発明の効果】請求項1及び2に記載の発明によれば、バス・コントローラに供給される動作電源を1系統にすることができるため、例えば、制御系回路部と物理系回路部を1チップの半導体集積回路装置内に形成した場合、チップ内には1種類の電源線を形成すればよく、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のための回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0105】請求項3に記載の発明によれば、請求項1又は2に記載のバス・コントローラへの電源供給方法の効果に加えて、何らかの原因で外部から不定信号が発生しても、制御系回路部は実質非動作状態になり、不定信号に基づいて誤動作することはない。

【0106】請求項4に記載の発明によれば、請求項1乃至3のいずれか1に記載のバス・コントローラへの電源供給方法の効果に加えて、装置全体を小型化することができる。

【0107】請求項5及び6に記載の発明によれば、バス・コントローラに供給される動作電源を1系統とすることができるため、例えば、制御系回路部と物理系回路部を含むバス・コントローラを1チップの半導体集積回路装置内に形成した場合、チップ内には1種類の電源線を形成すればよく、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のための回路設計及び配線設計が簡単になるとともにチップを小型化することができる。

【0108】請求項7に記載の発明によれば、請求項5又は6に記載のバス・コントローラの効果に加えて、何らかの原因で外部から不定信号が発生しても、制御系回路部は実質非動作状態になり、不定信号に基づいて誤動作することはない。

【0 1 0 9】請求項 8 に記載の発明によれば、請求項 7 に記載のバス・コントローラの効果に加えて、何らの原因で外部から不定信号が発生しても、制御系回路部に入力されないため、制御系回路部は不定信号に基づいて誤動作することはない。

【0 1 1 0】請求項 9 に記載の発明によれば、請求項 5 乃至 8 のいずれか 1 に記載のバス・コントローラの効果に加えて、装置全体を小型化することができる。請求項 1 0 に記載の発明によれば、バス・コントローラの物理系回路部はシステム電源とケーブル供給電源が供給される 1 つの共通外部配線から供給される電源を動作電源としているため、システム電源が出力されていない時でも、ケーブル供給電源にて動作可能な状態にすることができる。

【0 1 1 1】請求項 1 1 に記載の発明の発明によれば、請求項 1 0 に記載のバス・コントローラの効果に加えて、何らの原因で外部から不定信号が発生しても物理系回路部は不定信号に基づいて誤動作することはない、しかも、1 チップ化された制御系回路部と物理系回路部との間にアイソレートのための回路を設けなくてもよくなることから装置全体を小型化することができる。

【0 1 1 2】請求項 1 2 に記載の発明によれば、バス・コントローラの制御系回路部と物理系回路部に供給される動作電源は 1 系統となるため、例えば、制御系回路部と物理系回路部を含むバス・コントローラを 1 チップの半導体集積回路装置内に形成した場合、チップ内には 1 種類の電源線を形成すればよく、複数の各電源系統のための配線をチップ内に形成しない分だけ配線のための回路設計及び配線設計が簡単になるとともにチップを小型化することができる。又、何らの原因で外部から不定信号が発生しても制御系回路部は不定信号に基づいて誤動作することはないとともに、制御系回路部と物理系回路部との間にアイソレートのための回路を設けなくてもよく装置全体を小型化することができる。

【図面の簡単な説明】

【図 1】第 1 実施形態を説明するためのシステム構成図

【図 2】パソコン内のケーブル電源供給システムを説明するための回路図

【図 3】第 2 実施形態のケーブル電源供給システムを説明するための回路図

【図 4】別のケーブル電源供給システムを説明するための回路図

【図 5】従来のケーブル電源供給システムを説明するための回路図

# 10 【符号の説明】

1 パーソナルコンピュータ (パソコン)

2 a ~ 2 d 第 1 ~ 第 4 ケーブル

3 周辺装置としてのデジタル V T R

4 周辺装置としてのカラーページプリンタ

5 周辺装置としてのデジタルカメラ

6 周辺装置としてのデジタルビデオカメラ

1 1 システム電源回路

1 2 ホスト・コントローラ I C (ホスト・コントローラ)

20 1 3 バス・コントローラ I C (バス・コントローラ)

1 4, 1 5 レギュレータ

1 6, 1 7 コネクタ

1 3 a 物理系回路部としての物理系ブロック回路部

1 3 b 制御系回路部としての制御系ブロック回路部

1 3 c ゲート回路

2 0 判定回路

3 1 I E E E 1 3 9 4 用バス・コントローラ

4 1 物理系回路部としての物理系コントローラ

4 2 制御系回路部としての制御系コントローラ

30 4 1 b ゲート回路

D 1 ~ D 3 第 1 ~ 第 3 ダイオード

V D D s y s システム電源

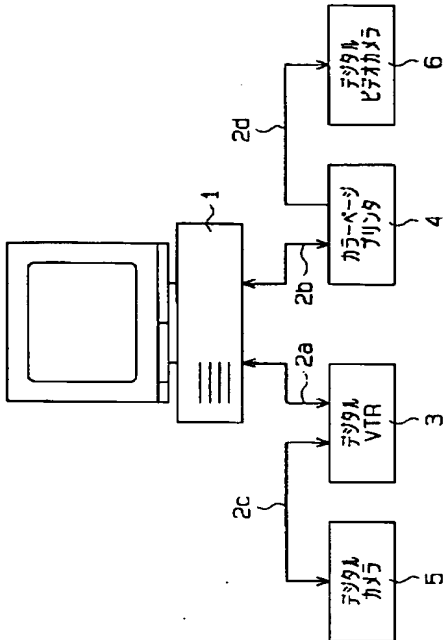
V D D c a b ケーブル供給電源

V D D c a b b ケーブル電源

L 1 共通外部配線としての共通配線

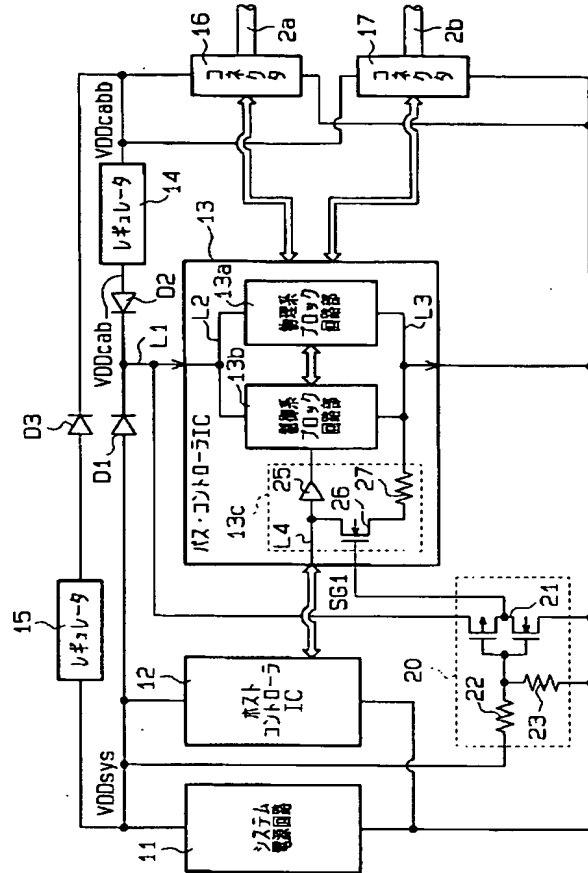
【図1】

第1実施形態のシステム構成図



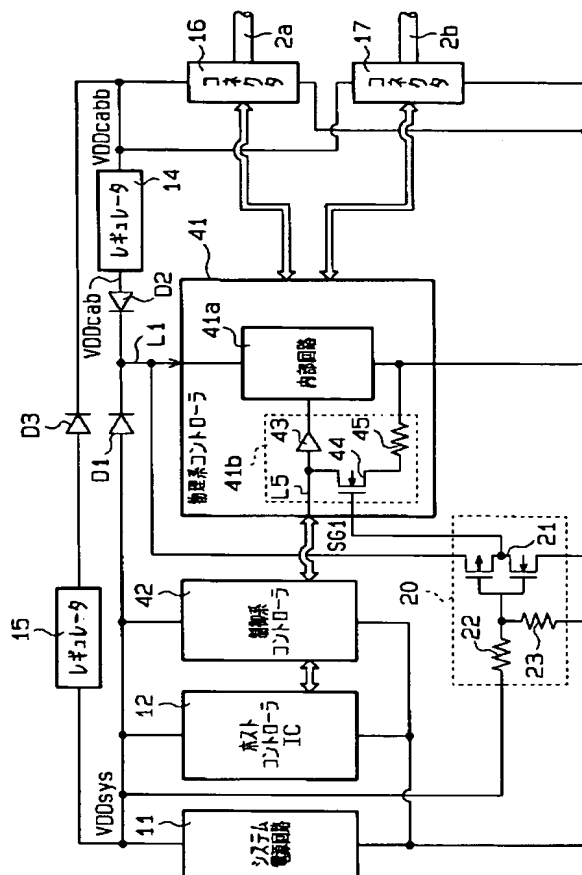
【図2】

パソコン内のケーブル電源供給システム回路図



【図 4】

別のカابل電源供給システム回路図





【图 5】

### 従来のケーブル電源供給システム回路図

